


Clock generator for digital demodulators

Patent number: DE3615952
Publication date: 1986-11-13
Inventor:
Applicant: VICTOR COMPANY OF JAPAN (JP)
Classification:
- International: H04L25/40; H04L7/00; G06F1/04; G11B5/09
- european: G11B20/14A; H03M5/14B; H04L7/02V3
Application number: DE19863615952 19860512
Priority number(s): JP19850099900 19850511

Also published as:

 JP61258534 (A)

Abstract of DE3615952

A clock generator for digital demodulators contains a voltage-controlled oscillator for generating clock pulses whose frequency and phase are controlled by error signals from frequency or phase comparators. The frequency comparator counts the clock pulses at longer periodic intervals in order to generate a first counter reading which represents a long-time measurement of the instantaneous clock frequency, and also at shorter periodic intervals in order to generate a second counter reading which represents a short-time measurement of the instantaneous clock frequency. The first counter reading is compared with the limits of a narrow range in order to generate a first frequency control signal, while the second counter reading is compared with the limits of a wider range in order to generate a second frequency control signal. If the clock frequency moves outside the wide range, the short-time clock frequency measurement causes the second frequency control signal to be generated before the first frequency control signal is generated by the long-time clock frequency measurement, with the result that the clock frequency is quickly moved into the wide range so that it can subsequently be returned by the long-time clock frequency measurement into the narrow range.

Data supplied from the **esp@cenet** database - Worldwide

⑬ BUNDESREPUBLIK
DEUTSCHLAND

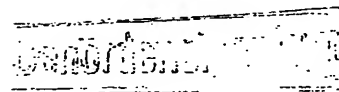


DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑪ **DE 36 15952 A 1**

⑤① Int. Cl. 4:
H 04 L 25/40
H 04 L 7/00

⑳ Aktenzeichen: P 36 15 952.2
㉔ Anmeldetag: 12. 5. 86
㉚ Offenlegungstag: 13. 11. 86



DE 3615952 A1

⑤① // G06F 1/04, G11B 5/09

③② Unionspriorität: ③② ③③ ③①
11.05.85 JP P60-99900

⑦① Anmelder:

Victor Company of Japan, Ltd., Yokohama,
Kanagawa, JP

⑦④ Vertreter:

Tiedtke, H., Dipl.-Ing.; Bühling, G., Dipl.-Chem.;
Kinne, R., Dipl.-Ing.; Grupe, P., Dipl.-Ing.; Pellmann,
H., Dipl.-Ing.; Grams, K., Dipl.-Ing.; Struif, B.,
Dipl.-Chem. Dr.rer.nat., Pat.-Anw., 8000 München

⑦② Erfinder:

Erfinder wird später genannt werden

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Taktgenerator für digitale Demodulatoren

Ein Taktgenerator für digitale Demodulatoren enthält einen spannungsgesteuerten Oszillator für das Erzeugen von Taktimpulsen, deren Frequenz und Phase durch Fehlersignale aus Frequenz- bzw. Phasenvergleichern gesteuert werden. Der Frequenzvergleicher zählt die Taktimpulse über längere periodische Intervalle, um einen ersten Zählstand zu erzeugen, der eine Langzeitmessung der momentanen Taktfrequenz darstellt, sowie in kürzeren periodischen Intervallen, um einen zweiten Zählstand zu erzeugen, der eine Kurzzeitmessung der momentanen Taktfrequenz darstellt. Der erste Zählstand wird mit den Grenzen eines schmalen Bereichs verglichen, um ein erstes Frequenzsteuersignal zu erzeugen, während der zweite Zählstand mit den Grenzen eines breiteren Bereichs verglichen wird, um ein zweites Frequenzsteuersignal zu erzeugen. Wenn die Taktfrequenz aus dem breiten Bereich austritt, bewirkt die Kurzzeit-Taktfrequenzerfassung, daß zu einem Zeitpunkt vor dem Zeitpunkt des Erzeugens des ersten Frequenzsteuersignals durch die Langzeit-Taktfrequenzerfassung, das zweite Frequenzsteuersignal erzeugt wird, so daß für ein nachfolgendes Zurückführen durch die Langzeit-Taktfrequenzerfassung in den schmalen Bereich die Taktfrequenz schnell in den breiten Bereich gebracht wird.

DE 3615952 A1

TIEDTKE - BÜHLIN KINNE - GRUPE
PELLMANN - GRAMS - STRUIF

3615952

**Patentanwälte und
Vertreter beim EPA**
Dipl.-Ing. H. Tiedtke
Dipl.-Chem. G. Bühlung
Dipl.-Ing. R. Kinne
Dipl.-Ing. P. Grupe
Dipl.-Ing. B. Pellmann
Dipl.-Ing. K. Grams
Dipl.-Chem. Dr. B. Struif

**Bavariaring 4, Postfach 20 24 03
8000 München 2**

Tel.: 0 89 - 53 96 53

Telex: 5-24 845 tipat

Telecopier: 0 89 - 53 73 77

cable: Germaniapatent München

12. Mai 1986

DE 5844/G4-8612-MK

Patentansprüche

- ① Taktgenerator für die Aufnahme eines digitalen Bitstroms, gekennzeichnet durch einen spannungsgesteuerten Oszillator (19) zum Erzeugen von Taktimpulsen (Pc), deren Frequenz und Phase entsprechend einem angelegten Eingangssignal veränderbar sind, einen Fensterimpulsgenerator (13) zum Erzeugen von Fensterimpulsen (Pw) entsprechend einem vorbestimmten Übergang zwischen Binärpegeln "1" und "0" in dem Bitstrom, einen auf die Fensterimpulse und die Taktimpulse ansprechenden Phasenvergleichler (14) zum Erzeugen eines Phasensteuersignals, das die Phasendifferenz zwischen den Fensterimpulsen und den Taktimpulsen wiedergibt, eine erste Frequenzdetektoreinrichtung (42a) zum Zählen der Taktimpulse in längeren periodischen Intervallen für das Erzeugen eines ersten Zählstands, der eine Langzeitmessung der momentanen Frequenz der Taktimpulse darstellt, eine zweite Frequenzdetektoreinrichtung (42b) zum Zählen der Taktimpulse in kürzeren periodischen Intervallen für das Erzeugen eines zweiten Zählstands, der eine Kurzzeitmessung der momentanen Frequenz der Taktimpulse darstellt, eine Vergleichereinrichtung (46 bis 49) zum Ermitteln, ob der erste Zählstand unterhalb einer Untergrenze eines schmalen Bereichs oder oberhalb einer Obergrenze des schmalen Bereichs liegt, und zum Erzeugen eines ersten Frequenzsteuersignals mit in Abhängigkeit von dem Relativwert des ersten Zählstands in bezug auf die Untergrenze und die

- 1 Obergrenze des schmalen Bereichs unterschiedlichen Amplituden,
sowie zum Ermitteln, ob der zweite Zählstand unterhalb einer
Untergrenze eines breiten Bereichs oder oberhalb einer Ober-
5 grenze des breiten Bereichs liegt, und zum Erzeugen eines
zweiten Frequenzsteuersignals mit in Abhängigkeit von dem
Relativwert des zweiten Zählstands in bezug auf die Ober-
grenze und die Untergrenze des breiten Bereichs unterschied-
lichen Amplituden und eine Mischeinrichtung (18) zum Zusam-
10 mensetzen des ersten und zweiten Frequenzsteuersignals mit
dem Phasensteuersignal und zum Anlegen der zusammengesetzten
Signale an den spannungsgesteuerten Oszillator als Eingangs-
signal.
- 15 2. Taktgenerator nach Anspruch 1, gekennzeichnet durch eine
Abschalteinrichtung (52, 53) zum Abschalten des ersten Fre-
quenzsteuersignals in dem Fall, daß in dem Bitstrom Bits
unter einer Frequenz auftreten, die höher als eine Normalfre-
quenz des Bitstroms ist.
- 20 3. Taktgenerator nach Anspruch 1 oder 2, dadurch gekennzeich-
net, daß die Vergleichereinrichtung (46 bis 49) eine erste
Vergleicherschaltung (46, 47) zum Vergleichen des ersten
Zählstands mit der Untergrenze und der Obergrenze des schma-
25 len Bereichs und zum Erzeugen eines ersten Vergleicheraus-
gangssignals, wenn der erste Zählstand geringer als die Un-
tergrenze des schmalen Bereichs ist, bzw. eines zweiten Ver-
gleicherausgangssignals, wenn der erste Zählstand höher als
die Obergrenze des schmalen Bereichs ist, eine zweite Ver-
30 gleicherschaltung (48, 49) zum Vergleichen des zweiten Zähl-
stands mit der Untergrenze und der Obergrenze des breiten
Bereichs und zum Erzeugen eines dritten Vergleicherausgangs-
signals, wenn der zweite Zählstand geringer als die Unter-
grenze des breiten Bereichs ist, bzw. eines vierten Verglei-
35 cherausgangssignals, wenn der zweite Zählstand höher als die
Obergrenze des breiten Bereichs ist, und ein Summiernetzwerk

1 (50, 51) zum Zusammenfassen des ersten und des zweiten Vergleicherausgangssignals für das Bilden des ersten Frequenzsteuersignals sowie zum Zusammenfassen des dritten und des
5 vierten Vergleicherausgangssignals für das Bilden des zweiten Frequenzsteuersignals aufweist.

4. Taktgenerator nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Vergleichereinrichtung (46 bis 49) eine erste
10 Vergleicherschaltung (46, 47) zum Vergleichen des ersten Zählstands mit der Untergrenze und der Obergrenze des schmalen Bereichs und zum Erzeugen eines ersten Vergleicherausgangssignals, wenn der erste Zählstand geringer als die Untergrenze des schmalen Bereichs ist, bzw. eines zweiten Vergleicherausgangssignals, wenn der erste Zählstand höher als
15 die Obergrenze des schmalen Bereichs ist, eine zweite Vergleicherschaltung (48, 49) zum Vergleichen des zweiten Zählstands mit der Untergrenze und der Obergrenze des breiten Bereichs und zum Erzeugen eines dritten Vergleicherausgangssignals, wenn der zweite Zählstand geringer als die Untergrenze des breiten Bereichs ist, bzw. eines vierten Vergleicherausgangssignals, wenn der zweite Zählstand höher als die Obergrenze des breiten Bereichs ist, ein auf das erste und dritte Vergleicherausgangssignal ansprechendes erstes Schieberegister (64), ein auf das zweite und vierte Vergleicherausgangssignal ansprechendes zweites Schieberegister (62),
25 eine Schiebeeinrichtung (66) für das Verschieben der Inhalte des ersten und des zweiten Schieberegisters in periodischen Intervallen, ein an die Ausgänge des ersten Schieberegisters angeschlossenes erstes Koinzidenzglied (65), ein an die Ausgänge des zweiten Schieberegisters angeschlossenes zweites Koinzidenzglied (63) und ein Summierwiderstandsnetzwerk (67 bis 70) zum Zusammenfassen der Ausgangssignale des ersten und des zweiten Koinzidenzglieds für das Erzeugen des ersten und
35 zweiten Frequenzsteuersignals aufweist.

1 5. Taktgenerator nach Anspruch 4, dadurch gekennzeichnet, daß das erste Koinzidenzglied (65) ein UND-Glied ist und das zweite Koinzidenzglied (63) ein NAND-Glied ist.

5 6. Taktgenerator nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Fensterimpulse (Pw) eine Impulsdauer haben, die kürzer als der Pulsabstand der Taktimpulse (Pc) ist.

10 7. Taktgenerator nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Mischeinrichtung (18) einen Integrator für die Abgabe eines integrierten Ausgangssignals an den spannungsgesteuerten Oszillator (19) aufweist und daß der
15 Phasenvergleichler (14) eine Einrichtung zum Erzeugen erster Impulse mit einer Dauer, die als Funktion des Abstands zwischen einer vorbestimmten Flanke der Taktimpulse (Pc) und einer Vorderflanke der Fensterimpulse (Pw) veränderbar ist, sowie zweiter Impulse mit einer Dauer, die als eine Funktion
20 des Abstands zwischen der vorbestimmten Flanke und einer Rückflanke der Fensterimpulse veränderbar ist, und zum Anlegen der ersten und der zweiten Impulse an den Integrator aufweist.

25 8. Taktgenerator nach Anspruch 7, dadurch gekennzeichnet, daß der Integrator (18) ein Differenzintegrator mit einem ersten und einem zweiten Eingangsanschluß ist und daß der Phasenvergleichler (14) ein auf die Fensterimpulse (Pw) und die Taktimpulse (Pc) ansprechendes Koinzidenzglied (21) zum Erzeugen
30 von Koinzidenzimpulsen mit einer Dauer, die jeweils die Phasendifferenz zwischen den Fensterimpulsen und den Taktimpulsen anzeigt, ein Paar aus einem ersten und einem zweiten Antivalenzglied (22, 23) mit jeweils einem ersten und einem zweiten Eingangsanschluß, deren erste Eingangsanschlüsse
35 miteinander verbunden sind und mit den Koinzidenzimpulsen angesteuert sind, während der zweite Eingangsanschluß des

ORIGINAL INSPECTED

1 ersten Antivalenzglieds (23) mit den Fensterimpulsen ange-
steuert ist und der zweite Eingangsanschluß des zweiten Anti-
valenzglieds (22) auf einem vorbestimmten Potential liegt,
5 und ein erstes Spannungsteiler-Widerstandsnetzwerk (24 bis
27) zum Zusammensetzen der Ausgangssignale des ersten und
zweiten Antivalenzglieds und Anlegen der zusammengesetzten
Ausgangssignale an den ersten Eingangsanschluß des Diffe-
renzintegrators aufweist, wobei ein Bezugsspannungsgenerator
10 (15) vorgesehen ist, der ein Paar aus einem dritten und einem
vierten Antivalenzglied (33, 34) mit jeweils einem ersten und
einem zweiten Eingangsanschluß, eine Einrichtung zum Anlegen
vorbestimmter Potentiale an die ersten und zweiten Eingangs-
anschlüsse des dritten und vierten Antivalenzglieds in der
15 Weise, daß dieselben Spannungen entgegengesetzter Polarität
abgeben, und ein im Aufbau mit dem ersten Widerstandsnetzwerk
identisches zweites Spannungsteiler-Widerstandsnetzwerk (35
bis 38) zum Zusammensetzen der Spannungen entgegengesetzter
Polarität und Anlegen der zusammengesetzten Spannungen an den
20 zweiten Eingangsanschluß des Differenzintegrators aufweist.

9. Taktgenerator nach Anspruch 8, dadurch gekennzeichnet, daß
die Einrichtung zum Anlegen der Potentiale eine Einrichtung
zum Anlegen des Bitstroms an die ersten Eingangsanschlüsse
25 des dritten und vierten Antivalenzglieds (33, 34) aufweist.

10. Taktgenerator nach Anspruch 9, dadurch gekennzeichnet,
daß die Einrichtung zum Anlegen der Potentiale eine Einrich-
tung zum Anlegen der Koinzidenzimpulse an die ersten Ein-
gangsanschlüsse des dritten und vierten Antivalenzglieds (33,
30 34) aufweist.

11. Taktgenerator nach einem der Ansprüche 1 bis 7, dadurch
gekennzeichnet, daß die Mischeinrichtung (18) einen Integra-
tor für die Abgabe eines integrierten Ausgangssignals an den
35 spannungsgesteuerten Oszillator (19) aufweist und daß der

1 Phasenvergleichler (14) eine Einrichtung aufweist, die bei dem
Voreilen der Taktimpulse (Pc) in bezug auf die Fensterimpulse
(Pw) erste Impulse mit einer Dauer erzeugt, die als Funktion
5 des Abstands zwischen einer vorbestimmten Flanke der Taktim-
pulse und einer vorbestimmten Flanke der Fensterimpulse ver-
änderbar ist, bzw. bei dem Nacheilen der Taktimpulse in bezug
auf die Fensterimpulse zweite Impulse mit einer Dauer er-
zeugt, die als Funktion des Abstands zwischen den vorbe-
10 stimmten Flanken der Taktimpulse und der Fensterimpulse ver-
änderbar ist, und die die ersten und zweiten Impulse an den
Integrator anlegt.

12. Taktgenerator nach Anspruch 11, dadurch gekennzeichnet,
15 daß der Integrator (18) einen Differenzintegrator mit einem
ersten und einem zweiten Eingangsanschluß aufweist und daß
der Phasenvergleichler (14) ein Paar aus einem ersten und
einem zweiten D-Flip-Flop (80, 81), eine Ansteuerungsein-
richtung (82, 83), die die Fensterimpulse (Pw) und die Takt-
20 impulse (Pc) an das erste und zweite D-Flip-Flop anlegt, um
an deren Ausgängen die ersten und die zweiten Impulse zu
erzeugen, und ein erstes Spannungsteiler-Widerstandsnetzwerk
(24 bis 27) zum Zusammensetzen der Ausgangssignale des ersten
und zweiten D-Flip-Flops und zum Anlegen der zusammengesetz-
25 ten Ausgangssignale an den ersten Eingangsanschluß des
Differenzintegrators aufweist, wobei ferner ein Bezugsspan-
nungsgenerator vorgesehen ist, der ein drittes D-Flip-Flop
(84), eine Einrichtung zum Anlegen vorbestimmter Potentiale
an das dritte D-Flip-Flop in der Weise, daß dieses Spannungen
30 entgegengesetzter Polarität abgibt, und ein im Aufbau mit dem
ersten Widerstandsnetzwerk identisches zweites Spannungstei-
ler-Widerstandsnetzwerk (35 bis 38) zum Zusammenfassen der
Spannungen entgegengesetzter Polarität und Anlegen der zusam-
mengefaßten Spannungen an den zweiten Eingangsanschluß des
35 Differenzintegrators aufweist.

1

13. Taktgenerator nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet, daß die Vergleichereinrichtung (46
bis 49) veränderbare monostabile Kippstufen (90 bis 97) zum
5 Umsetzen des ersten und des zweiten Frequenzsteuersignals in
jeweilige Impulssignale aufweist.

10

15

20

25

30

35

TIEDTKE - DUHLING - NNE - GRUPE

PELLMANN - GRAMS - STRUIF

-8-

3615952

Verf. beim EPA
Dipl.-Ing. H. Tiedtke
Dipl.-Chem. G. Bühling
Dipl.-Ing. R. Kinne
Dipl.-Ing. P. Grupe
Dipl.-Ing. B. Pellmann
Dipl.-Ing. K. Grams
Dipl.-Chem. Dr. B. Struif

Bavariaring 4, Postfach 20 24 03
8000 München 2

Tel.: 0 89 - 53 96 53

Telex: 5-24 845 tipat

Telecopier: 0 89 - 53 73 77

cable: Germaniapatent München

12. Mai 1986

DE 5844/G4-8612-MK

Victor Company of Japan, Limited
Yokohama, Japan

Taktgenerator für digitale Demodulatoren

Die Erfindung bezieht sich auf einen Taktgenerator, der für einen digitalen Demodulator aus einem digitalen Bitstrom Taktinformationen entnimmt.

Nach einem bekannten digitalen Modulationsverfahren wie gemäß der "8 auf 14"-Modulation EFM werden ursprüngliche 8-Bit-Codesignale mit zufallsverteilten Taktabständen in 14-Bit-Codesignale in einem Format mit einem Mindestabstand von 3 Taktimpulsen und einem Maximalabstand von 11 Taktimpulsen umgesetzt, um ausreichende Taktinformationen für das Demodulieren des EFM-Bitstroms zu liefern.

Herkömmliche Taktgeneratoren, die für das Demodulieren solcher EFM-Bitströme verwendet werden, enthalten einen Schaltungsaufbau, der eine Folge von Datenbits mit dem minimalen und dem maximalen Taktabstand ermittelt und von einem spannungsgesteuerten Oszillator erzeugte Taktimpulse zählt, welche während der Minimalabstände und der Maximalabstände der erfaßten Datenbits auftreten. Die beiden Zählwerte werden als ein Maß für die Taktimpulsfrequenz herangezogen, um damit die Frequenz des Oszillators zu steuern. Ein Mangel bei dem

1 Taktgenerator nach dem Stand der Technik besteht darin, daß
wegen des zufälligen Auftretens der Datenbits mit dem minima-
len und dem maximalen Taktabstand der phasengekoppelte Regel-
5 kreis leicht über eine beträchtliche Zeitdauer außer Phase zu
dem eingegebenen Bitstrom gerät, wenn aufeinanderfolgende
Datenblöcke keine Datenbits mit dem Minimaltaktabstand und
dem Maximaltaktabstand enthalten. Dieses Problem wird gemäß
der am 18. März 1985 eingereichten US-Patentanmeldung
10 Seriennr. 717 094 mit einer Phasen- und Frequenzregelschal-
tung mit geschlossenem Regelkreis gelöst, die einen span-
nungsgesteuerten Oszillator zum Erzeugen von Taktimpulsen und
einen Impulsgenerator für das Erzeugen von Fensterimpulsen
entsprechend eingegebenen binären Digitalsignalen sowie zum
15 Zuführen derselben zu einem Phasenvergleichler für den Ver-
gleich mit den Taktimpulsen enthält. Ein Frequenzvergleichler
dient dazu, zu ermitteln, ob die Frequenz der Taktimpulse
unterhalb einer Untergrenze eines vorbestimmten Bereichs oder
oberhalb einer Obergrenze dieses Bereichs liegt, und ein
20 Frequenzsteuersignal mit von dem Relativwert der Taktfrequenz
in bezug auf die Untergrenze und die Obergrenze abhängigen
unterschiedlichen Amplituden abzugeben.

Das Frequenzsteuersignal wird mit dem Ausgangssignal des
25 Phasenvergleichlers kombiniert und an den spannungsgesteuerten
Oszillator angelegt.

Es ist jedoch erwünscht, Störungen auf ein Mindestmaß herab-
zusetzen, die hinsichtlich der Taktfrequenz dann auftreten,
30 wenn der eingegebene Datenbitstrom über eine beträchtliche
Zeitdauer unterbrochen wird, wie es bei einem Bandgerät mit
Schraubenlinien-Abtastung der Fall ist, bei dem das Band um
einen Bogen von 90° an einer Umlauftrommel gelegt ist, oder
dann, wenn die Geschwindigkeit bzw. Frequenz des Bitstroms
35 plötzlich verändert wird, wie es bei einem Digital-Bandgerät
bei dem Verändern der Bandtransportgeschwindigkeit der Fall

1 ist.

5 Der Erfindung liegt die Aufgabe zugrunde, einen Taktgenerator mit geschlossener Regelschleife zur Verwendung in digitalen Demodulatoren zu schaffen, bei dem Taktfrequenzstörungen auf ein Mindestmaß herabgesetzt sind, die infolge einer Bitstromunterbrechung oder sich ändernder Bitstromfrequenz auftreten.

10 Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß ein schmaler und ein breiter Fangbereich für die Frequenzregelung im geschlossenen Regelkreis vorgesehen werden, wobei der schmale Fangbereich gewählt wird, wenn der eingegebene Bitstrom im wesentlichen fortlaufend ist, und der breite Fangbereich gewählt wird, wenn der Bitstrom Unterbrechungen zeigt
15 oder die Geschwindigkeit bzw. Frequenz des Bitstroms verändert wird.

20 Im einzelnen weist der erfindungsgemäße Taktgenerator einen spannungsgesteuerten Oszillator zum Erzeugen von Taktimpulsen auf, deren Frequenz und Phase entsprechend angelegten Phasensteuersignalen und Frequenzsteuersignalen veränderbar sind. Ein Fensterimpulsgenerator wird mit einem eingegebenen Bitstrom angesteuert, um jeweils entsprechend einem vorbestimmten Übergang zwischen Binärpegeln "1" und "0" in dem Bitstrom
25 einen Fensterimpuls zu erzeugen. Ein Phasenvergleicher führt zum Erzeugen eines Phasensteuersignals einen Phasenvergleich zwischen den Fensterimpulsen und den Taktimpulsen aus. Ein erster Frequenzdetektor zählt die Taktimpulse unter längeren periodischen Intervallen, um einen ersten Zählstand zu erzeugen, der eine Langzeitmessung der momentanen Frequenz der Taktimpulse darstellt, während ein zweiter Frequenzdetektor
30 die Taktimpulse unter kürzeren periodischen Intervallen zählt und einen zweiten Zählstand erzeugt, der eine Kurzzeitmessung der momentanen Frequenz der Taktimpulse darstellt. Eine Vergleicherschaltung ermittelt, ob der erste Zählstand unterhalb
35

1 der Untergrenze eines schmalen Fangbereichs oder oberhalb der
Obergrenze dieses Bereichs liegt, und erzeugt ein erstes
Frequenzsteuersignal, das unterschiedliche Amplituden in
5 Abhängigkeit davon hat, ob der erste Zählstand unterhalb oder
oberhalb dieser Grenzen des schmalen Bereichs liegt; ferner
ermittelt die Vergleicherschaltung, ob der zweite Zählstand
unterhalb der Untergrenze eines breiten Bereichs oder ober-
halb der Obergrenze des breiten Bereichs liegt, und erzeugt
10 ein zweites Frequenzsteuersignal mit Amplituden, die in Ab-
hängigkeit davon unterschiedlich sind, ob der zweite Zählstand
unterhalb oder oberhalb der Grenzen des breiten Bereichs
liegt. Das erste und das zweite Frequenzsteuersignal werden
mit dem Phasensteuersignal zusammengefügt. Die zusammenge-
15 setzten Signale werden an den spannungsgesteuerten Oszillator
angelegt, um dessen Phase und Frequenz zu steuern. Durch die
Kurzzeitmessung der Taktfrequenz wird deren Abweichung aus
dem breiten Bereich heraus früher ermittelt als die durch die
Langzeitmessung erfaßte Abweichung der Taktfrequenz aus dem
20 schmalen Bereich. Infolge dessen können derartige große Ab-
weichungen, die durch einen Ausfall des Bitstroms oder bei
dem Empfang unzusammenhängender Bitströme verursacht werden
könnten, schnell in den breiten Fangbereich zurückgeregelt
werden. Nachdem die Taktfrequenz in den breiten Fangbereich
25 zurückgeführt worden ist, ist für das Zurückführen der Takt-
frequenz in den schmalen bzw. engen Fangbereich die Lang-
zeitmessung der vorherrschende Faktor. Vorzugsweise wird ein
Wähler vorgesehen, der die Schmalbereich-Frequenzregelung
abschaltet, wenn der Bitstrom mit einer Frequenz auftritt,
30 die höher als die normale Frequenz ist, wie beispielsweise
während eines Suchens mit hoher Geschwindigkeit.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher erläutert.

1 Fig. 1A ist eine Blockdarstellung eines phasengekoppelten Regelkreises des erfindungsgemäßen Taktgenerators.

5 Fig. 1B ist eine Blockdarstellung eines Frequenzvergleichers des erfindungsgemäßen Taktgenerators.

Fig. 1C zeigt eine abgewandelte Form des Frequenzvergleichers.

10 Fig. 2 ist eine Kurvenformdarstellung für die Beschreibung der Funktionsweise des phasengekoppelten Regelkreises.

15 Fig. 3 ist eine Kurvenformdarstellung für die Beschreibung der Funktionsweise der Frequenzvergleichers nach Fig. 1B und 1C.

20 Fig. 4A, 4B und 4C veranschaulichen abgewandelte Ausführungsbeispiele des erfindungsgemäßen Taktgenerators.

Fig. 5 ist eine Blockdarstellung eines abgewandelten phasengekoppelten Regelkreises des erfindungsgemäßen Taktgenerators.

25 Fig. 6A bis 6C zeigen Kurvenformen bei dem Ausführungsbeispiel nach Fig. 5.

30 In den Figuren 1A und 1B ist ein Ausführungsbeispiel des erfindungsgemäßen Taktgenerators gezeigt. Der Taktgenerator enthält einen in Fig. 1A gezeigten phasengekoppelten Regelkreis 10 und einen gesondert in Fig. 1B gezeigten Frequenzvergleichers 12. Der Regelkreis 10 enthält einen Fensterimpulsgenerator 13, einen Phasenvergleichers 14, eine Phasenbezugsschaltung 15, Störschutzschaltungen 16 und 17, einen
35 Differenzintegrator 18 und einen spannungsgesteuerten Oszil-

1 lator 19. Der Fensterimpulsgenerator 13 ist an einen Eingangsanschluß 20 angeschlossen, an den ein digital modulierter Bitstrom angelegt wird.

5 Nach einem bekannten digitalen Modulationsverfahren (EFM-Verfahren) wird ein ursprünglicher 16-Bit-Code in binäre Gruppen höherer und niedrigerer Wertigkeit mit jeweils 8 Bit aufgeteilt, von denen jede Gruppe in einen 14-Bit-Code umgesetzt wird, in welchem Binärpegel "1" in berechneten maximalen Intervallen auftreten, um damit den Ausfall der Taktzeitsteuerung bei der Wiedergabe weniger wahrscheinlich zu machen. Der EFM-Bitstrom wird in eine Folge von Datenblöcken aus 588 Bits formatiert, die jeweils mit einem 24-Bit-Block-synchronisiercode kenntlich gemacht werden, auf den ein Datenbitstrom folgt, in welchem Binärpegel "1" in einem minimalen Abstand von 3 Taktintervallen und in einem maximalen Abstand von 11 Taktintervallen auftreten. Die Binärpegel "1" und "0" in dem eingegebenen Bitstrom ergeben jeweils an dem Eingangsanschluß 20 hohe bzw. niedrige Spannung.

20 Der Fensterimpulsgenerator 13 spricht jeweils auf den Binärpegelübergang an, der an der Anstiegsflanke und/oder Abfallflanke der positiv gerichteten Impulse des eingegebenen Bitstroms auftritt, und erzeugt jeweils einen Fensterimpuls P_w mit einer Dauer T_w , die kürzer als der Impulsabstand T von durch den spannungsgesteuerten Oszillator 19 erzeugten Taktimpulsen P_c ist. Die Kurvenformen dieser Impulse sind in Fig. 2 gezeigt. Vorzugsweise erhalten die Fensterimpulse und die Taktimpulse gleiche Impulsdauer.

30 Der Phasenvergleichler 14 enthält ein NAND-Glied 21, Exklusiv-ODER-Glieder bzw. Antivalenzglieder 22 und 23 und ein Widerstandsnetzwerk, das aus einer ersten Reihenschaltung von Widerständen 24 und 25 und einer zweiten Reihenschaltung von Widerständen 26 und 27 gebildet ist, wobei beide Reihenschal-

1 tungen zwischen die Ausgänge der Antivalenzglieder 22 und 23
geschaltet sind. Ein Eingang eines jeweiligen Antivalenz-
glieds ist mit dem Ausgang des NAND-Glieds 21 verbunden,
5 während der zweite Eingang des Antivalenzglieds 22 an eine
Quelle für den hohen logischen Pegel H angeschlossen ist. Der
zweite Eingang des Antivalenzglieds 23 ist an den Ausgang
des Fensterimpulsgenerators 13 angeschlossen. Der Verbin-
dungspunkt zwischen den Widerständen 24 und 25 ist an eine
10 Spannungsquelle mit dem dem Binärpegel "1" entsprechenden
hohen logischen Pegel H angeschlossen, während ein Verbin-
dungspunkt A zwischen den Widerständen 26 und 27 über die
Störschutzschaltung 16 an den invertierenden Eingang eines
Rechenverstärkers 30 angeschlossen ist. Die Widerstände 26
15 und 27 bilden eine analoge Addierschaltung, mit der an dem
Verbindungspunkt A die Spannungen an den Ausgängen der Anti-
valenzglieder 22 und 23 arithmetisch summiert werden. Die
Widerstände 24, 25, 26 und 27 werden so gewählt, daß der
Verbindungspunkt A normalerweise auf einem mittleren Poten-
20 tial M gehalten wird, bei dem die Taktimpulse P_c und die
Fensterimpulse P_w genau phasengleich sind.

Die Fensterimpulse werden einem Eingang des NAND-Glieds 21
zugeführt, um hinsichtlich der Phase mit den Taktimpulsen aus
25 dem Oszillator 19 verglichen zu werden. Eine Phasendifferenz
zwischen diesen Impulsen ergibt einen negativ gerichteten
Impuls P_n , dessen Vorderflanke mit der Vorderflanke des Fen-
sterimpulses P_w übereinstimmt und dessen Rückflanke mit der
Rückflanke des Taktimpulses P_c übereinstimmt, wie es in Fig.
30 2 gezeigt ist.

Das Antivalenzglied 22 gibt einen positiv gerichteten ersten
Phasenfehlerimpuls P_{e_1} ab, der hinsichtlich der Polung zu dem
eingegebenen Impuls P_n entgegengesetzt ist. Das Antivalenz-
35 glied 23 gibt einen negativ gerichteten zweiten Phasenfehler-
impuls P_{e_2} ab, dessen Vorderflanke mit der Rückflanke des

1 Taktimpulses P_c übereinstimmt und dessen Rückflanke mit der
Rückflanke des Fensterimpulses P_w übereinstimmt. Auf diese
Weise ändern sich die Impulsbreiten der Phasenfehlerimpulse
5 Pe_1 und Pe_2 komplementär zueinander entsprechend dem Ausmaß
der Phasendifferenz zwischen den Fensterimpulsen P_w und den
Taktimpulsen P_c . Der positiv gerichtete Impuls Pe_1 und der
negativ gerichtete Impuls Pe_2 werden an dem Verbindungspunkt
A derart zusammengesetzt, daß das Potential an diesem auf die
10 Ermittlung einer Phasendifferenz hin bei dem Vorliegen des
Impulses Pe_1 auf den hohen Spannungspegel H und für die
komplementären Zeitperioden bei dem Vorliegen des Impulses
 Pe_2 auf den niedrigeren Spannungspegel L gesteuert wird, wie
es in Fig. 2 bei Pe gezeigt ist.

15 Die Störschutzschaltung 16 ist durch ein Paar antiparallel
geschalteter Dioden 28 und 29 gebildet. Phasenfehlerspan-
nungen mit Amplituden, die größer als die Schwellenwerte der
Dioden 28 und 29 sind, werden zu dem invertierenden Eingang
des Rechenverstärkers 30 durchgelassen. Daher werden Störkom-
20 ponenten kleiner Amplitude gesperrt, die in der Phasenfehler-
spannung an dem Verbindungspunkt A auftreten könnten.

Zwischen den Ausgang des Rechenverstärkers 30 und den inver-
25 tierenden Eingang desselben ist eine Reihenschaltung aus
einem Integrierwiderstand 31 und einem Kondensator 32 ge-
schaltet, damit der Rechenverstärker 30 die Potentialdiffe-
renz zwischen der an den invertierenden Eingang angelegten
Spannung und einer an den nichtinvertierenden Eingang ange-
30 legten Bezugsspannung erfaßt und das Differenzpotential inte-
griert. Der Rechenverstärker 30 steuert den Oszillator 19, um
damit dessen Frequenz und Phase zu steuern, wodurch die
Taktimpulse und die Fensterimpulse in richtiger Phasenbezie-
hung gehalten werden.

35 Die Schleifenverstärkung des phasengekoppelten Regelkreises

1 10 wird durch die von der Phasenbezugsschaltung 15 erzeugte
Bezugsspannung bestimmt. Diese Schaltung enthält ein Paar aus
Antivalenzgliedern 33 und 34 und ein Widerstandsnetzwerk, das
5 aus einer ersten Reihenschaltung aus Widerständen 35 und 36
und einer zweiten Reihenschaltung aus Widerständen 37 und 38
gebildet ist, wobei die beiden Reihenschaltungen zwischen die
Ausgänge der Antivalenzglieder 33 und 34 geschaltet sind.
Erste Eingangsanschlüsse der Antivalenzglieder 33 und 34 sind
10 gemeinsam mit dem Eingangsanschluß 20 verbunden, während ihre
zweiten Eingangsanschlüsse jeweils an eine Spannung hohen bzw.
niedrigen Pegels entsprechend dem Binärpegel "1" bzw. "0"
angeschlossen sind. Ein Verbindungspunkt zwischen den Wider-
ständen 35 und 36 ist an eine Spannungsquelle hohen Pegels
15 angeschlossen, während ein Verbindungspunkt B zwischen den
Widerständen 37 und 38 mit dem nicht invertierenden Eingang
des Rechenverstärkers 30 verbunden ist. Die Widerstände 37
und 38 bilden einen Addierer, mit dem die Ausgangssignale der
Antivalenzglieder 33 und 34 an dem Verbindungspunkt B arith-
20 metisch summiert werden. Das Antivalenzglied 33 erzeugt eine
Folge von Impulsen, die zu den an den Eingangsanschluß 20
angelegten Impulsen gegenpolig sind, während das Antivalenz-
glied 34 eine Folge von Impulsen erzeugt, welche den eingege-
benen EFM-Bitstrom widerspiegeln. Daher haben die Ausgangs-
25 impulse der Antivalenzglieder 33 und 34 entgegengesetzte
Polung, so daß sie einander an dem Verbindungspunkt B aufhe-
ben. Die Widerstände 35, 36, 37 und 38 bestimmen die Bezugs-
spannung an dem Verbindungspunkt B und damit die Schleifen-
verstärkung. Das Anlegen des eingegebenen EFM-Bitstroms an
30 die Antivalenzglieder 33 und 34 bewirkt, daß sich die Bezugs-
spannung gleichzeitig mit dem Auftreten einer Phasenfehler-
spannung ändert. Dadurch wird das Übergangsverhalten bzw. die
Sprungantwort des phasengekoppelten Regelkreises verbessert.
Alternativ kann das Eingangssignal der Antivalenzglieder 33
35 und 34 von dem Ausgang des NAND-Glieds 21 abgenommen werden,
wie es durch eine gestrichelte Linie 39 dargestellt ist. Da

1 die Phasenbezugsschaltung im Aufbau mit einem Teil des Pha-
senvergleichers 14 identisch ist, ändert sich bei Temperatur-
und Feuchtigkeitsänderungen die Bezugsspannung auf gleiche
5 Weise wie das Ausgangssignal des Phasenvergleichers 14.

Auf diese Weise wird der spannungsgesteuerte Oszillator 19
durch den Zeitintegrationswert der Differenz zwischen den
Eingangsspannungen des Rechenverstärkers 30 gesteuert. Der
10 Ausgang des spannungsgesteuerten Oszillators 19 ist mit einem
Ausgangsanschluß 70 verbunden, aus dem die Taktimpulse einem
nicht gezeigten digitalen Demodulator zugeführt werden.

Wenn die Taktimpulsfrequenz von der normalen Frequenz ab-
15 weicht, erhält der Regelkreis 10 über einen Anschluß 41 aus
dem Frequenzvergleich 12 ein Frequenzsteuersignal.

Nach Fig. 1B enthält der Frequenzvergleich 12 Frequenzde-
tektoren 42a und 42b, die jeweils einen Zähler 43, einen
20 Zwischenspeicher 44 und einen Bezugsfrequenzoszillator 45
aufweisen. Der Oszillator 45a des Frequenzdetektors 42a er-
zeugt eine Frequenz, die niedriger als die von dem Oszillator
45b des Frequenzdetektors 42b erzeugte Frequenz ist. Die
beiden Bezugsfrequenzen sind weitaus niedriger als die nor-
male Frequenz des spannungsgesteuerten Oszillators 19, um auf
25 diese Weise mit den Zählern 43a und 43b die momentanen Werte
der Taktfrequenz mit niedriger bzw. mit hoher Geschwindigkeit
erfassen zu können. Im einzelnen werden von dem niederfre-
quenten Oszillator 45a der Zähler 43a und der Zwischenspeicher
30 44a in längeren Intervallen rückgesetzt, während denen der
Zähler 43a die Taktimpulse zählt und den Zählstand in den
Zwischenspeicher 44a als Langzeitmeßwert für die momentane
Taktfrequenz einspeichert. Auf gleichartige Weise werden von
dem hochfrequenten Oszillator 45b der Zähler 43b und der Zwi-
35 schenspeicher 44b in kürzeren Intervallen rückgesetzt, wäh-
rend denen der Zähler 43b die Taktimpulse und den Zählstand

1 in den Zwischenspeicher 44b als Kurzzeitmeßwert der momentanen Taktfrequenz einspeichert. Daher ändert sich bei dem Auftreten einer Abweichung der Taktfrequenz der Impulzzählstand in dem Zwischenspeicher 44b schneller als der in dem
5 Zwischenspeicher 44a gespeicherte Zählstand.

Das Ausgangssignal des Zwischenspeichers 44a wird an digitale Schmalbereich-Vergleicher 46 und 47 angelegt, während das
10 Ausgangssignal des Zwischenspeichers 44b an digitale Breitbereich-Vergleicher 48 und 49 angelegt wird. Die Vergleicher 46 und 47 vergleichen das Ausgangssignal des Zwischenspeichers 44a jeweils mit digitalen Werten L_n und U_n , welche jeweils der Untergrenze bzw. der Obergrenze eines vorbestimmten
15 schmalen Bereichs der Taktfrequenzabweichungen entsprechen, welcher typischerweise $\pm 1\%$ der normalen Taktfrequenz umfaßt. Andererseits vergleichen die Vergleicher 48 und 49 das Ausgangssignal des Zwischenspeichers 44b jeweils mit digitalen Werten L_w und U_w , welche jeweils der Untergrenze bzw. der
20 Obergrenze eines breiten Bereichs für die Taktfrequenzänderungen entsprechen, welcher typischerweise $\pm 5\%$ der normalen Taktfrequenz umfaßt. Der Vergleicher 46 erzeugt ein Ausgangssignal hohen Pegels, wenn die Taktfrequenz unter die Untergrenze des schmalen Bereichs abfällt, während der Vergleicher
25 47 ein Ausgangssignal hohen Pegels erzeugt, wenn sie über die Obergrenze des schmalen Bereichs ansteigt. Daher haben dann, wenn die Taktfrequenz innerhalb des schmalen Bereichs liegt, die Ausgangssignale der Vergleicher 46 und 47 niedrigen Spannungspegel. Auf gleichartige Weise erzeugt der Vergleicher 48
30 ein Ausgangssignal hohen Pegels, wenn die Taktfrequenz unter die Untergrenze des breiten Bereichs abfällt, während der Vergleicher 49 ein Ausgangssignal hohen Pegels erzeugt, wenn sie über die Obergrenze des breiten Bereichs ansteigt. Auf diese Weise bleiben die Ausgangssignale der Vergleicher 48
35 und 49 auf dem niedrigen Pegel, wenn die Taktfrequenz innerhalb des breiten Bereichs liegt.

1 Die Ausgänge der Vergleicher 46 und 47 sind normalerweise
jeweils über Kontakte a von Schaltern 52 und 53 mit ersten
Eingängen von ODER-Gliedern 50 bzw. 51 verbunden, während die
5 Ausgänge der Vergleicher 48 und 49 jeweils mit den zweiten
Eingängen dieser ODER-Glieder verbunden sind. Durch das Um-
schalten der Schalter 52 und 53 auf Kontakte b wird über
einen Widerstand 54 an die ersten Eingänge der ODER-Glieder
50 und 51 Spannung niedrigen Pegels angelegt, während die
10 Ausgangssignale der Vergleicher 46 und 47 abgeschaltet wer-
den.

Das Ausgangssignal des ODER-Glieds 50 wird mit einem Inverter
61 invertiert und mit dem Ausgangssignal des ODER-Glieds 51
15 in einem Summier-Widerstandsnetzwerk 55 zusammengesetzt, das
durch Widerstände 56 und 57, die die Ausgänge des Inverters
61 bzw. des ODER-Glieds 51 gemeinsam mit einem Anschluß für
die Spannung hohen Pegels verbinden, und durch Widerstände 58
und 59 gebildet ist, die die Ausgänge mit dem Anschluß 41
20 verbinden.

Die Funktionsweise der Schaltung nach Fig. 1B wird anhand der
in Fig. 3 gezeigten Kurvenformen erläutert. Die Schalter 52
und 53 werden auf die Kontakte a geschaltet, wenn der ankom-
25 mende Bitstrom die normale Frequenz hat, wobei der Bitstrom
entweder zusammenhängend oder unterbrochen sein kann.

Es sei angenommen, daß der ankommende Bitstrom ein zusam-
menhängender Bitstrom ist. Falls die Taktfrequenz des Oszil-
30 lators 19 innerhalb des schmalen Fangbereichs liegt, der
zwischen einer unteren Grenzfrequenz f_{ln} und einer oberen
Grenzfrequenz f_{un} gebildet ist, haben die Ausgangssignale
aller Vergleicher den niedrigen Spannungspegel, so daß die
ODER-Glieder 50 und 51 Ausgangssignale niedriger Spannung
35 abgeben. Das Ausgangssignal niedriger Spannung des ODER-
Glieds 50 wird durch den Inverter 61 in ein Ausgangssignal

1 hoher Spannung invertiert, das in dem Summier-Widerstands-
netzwerk 55 mit dem Ausgangssignal niedriger Spannung des
5 ODER-Glieds 51 zu einem Frequenz-Steuersignal mittlerer Span-
nung an dem Anschluß 51 zusammengefaßt wird, welches über die
Störschutzschaltung 17 an den invertierenden Eingang des
Rechenverstärkers 30 angelegt wird, wodurch dieser den Oszil-
lator 19 so steuert, daß derselbe auf die Taktzeiten des
ankommenden Bitstroms abgestimmt wird. Die Störschutzschal-
10 tung 17 ist durch ein Paar aus antiparallel geschalteten
Dioden 67 und 68 gebildet, welche in dem Frequenzsteuersignal
enthaltene Störsignale kleiner Amplitude unterdrücken.

15 Falls die Taktfrequenz die obere Grenzfrequenz f_{un} des schma-
len Bereichs übersteigt, nimmt das Ausgangssignal des Ver-
gleichers 47 den hohen Spannungspegel an, während die Aus-
gangssignale der anderen Vergleicher auf dem niedrigen Span-
nungspegel verbleiben. Damit sind beide Eingangsspannungen
des Summier-Widerstandsnetzwerks 55 auf dem hohen Pegel, so
20 daß an dem Anschluß 41 ein Frequenzsteuersignal hoher Span-
nung abgegeben wird, wodurch an dem Oszillator 19 dessen
Frequenz verringert wird, bis diese in den schmalen Fangbe-
reich gelangt.

25 Falls die Taktfrequenz unter die untere Frequenzgrenze f_{ln}
des schmalen Bereichs abfällt, erzeugt der Vergleicher 46 ein
Ausgangssignal hohen Pegels, während die anderen Vergleicher
Ausgangssignale niedrigen Pegels abgeben. Die Eingangsspan-
nungen des Summier-Widerstandsnetzwerks 55 sind beide nie-
30 drig, so daß an dem Anschluß 41 ein Frequenzsteuersignal
niedriger Spannung abgegeben wird, durch das der Oszillator
19 die Frequenz anhebt, bis sie in den schmalen Fangbereich
gelangt ist. Da die Eingangssignale der Vergleicher 46 und 47
aus der Langzeitmessung der Oszillator-Taktfrequenz abgelei-
35 tet werden, können damit geringfügige Abweichungen der Takt-
frequenz abgefangen werden, die ansonsten eine Instabilität

1 des Systems verursachen würden.

5 Es sei nun angenommen, daß der angekommene Bitstrom im wesentlichen ein unterbrochender Bitstrom ist. Hierbei ist es wahrscheinlich, daß die Taktfrequenz aus dem breiten Bereich heraustritt, wodurch einer der Vergleicher 48 und 49 in Abhängigkeit von der Richtung der Abweichung gegenüber der normalen Taktfrequenz ein Ausgangssignal mit dem hohen Span-

10 nungspegel abgibt.

Falls die Taktfrequenz aus der Abstimmung auf die normale Frequenz heraustritt, entsteht die Überschreitung der Grenzen des schmalen und des breiten Bereichs zu einem Zeitpunkt, der vor dem Zeitpunkt liegt, an dem durch den Langzeit-Frequenz-

15 detektor 42b die Vergleicher 46 und 47 ein Frequenzsteuersignal erzeugen. Falls daher die Taktfrequenz die obere Grenzfrequenz f_{uw} des breiten Bereichs übersteigt, werden die Eingangsspannungen des Summier-Widerstandsnetzwerks 55

20 schnell auf den hohen Pegel gebracht, um die Taktfrequenz herabzusetzen, während dann, wenn die Taktfrequenz unter die untere Grenzfrequenz f_{lw} des breiten Bereichs absinkt, die Eingangsspannungen des Summier-Widerstandsnetzwerks schnell auf den niedrigen Pegel gebracht werden, so daß die Taktfre-

25 quenz angehoben wird.

Auf diese Weise wird die Taktfrequenz des Oszillators 19 während des Empfangs eines unterbrochen angekommenen Bitstroms schnell in den breiten Bereich zurückversetzt.

30 Sobald die Taktfrequenz in die Grenzen des breiten Bereichs zurückgekehrt ist, wird sie stabilisiert und an den Normalwert angenähert, wobei bei der Feinabstimmung der Taktfrequenz im schmalen Bereich der Langzeit-Frequenzdetektor 42a

35 eine vorherrschende Rolle spielt.

1 Wenn während eines Programms zu einer Suche mit hoher Ge-
schwindigkeit der ankommende Bitstrom eine Frequenz hat, die
höher als die normale Frequenz ist, werden die Schalter 52
5 und 53 auf die Kontakte b geschaltet. Die Ausgangssignale der
Schmalbereich-Vergleicher 46 und 47 werden abgeschaltet,
wobei statt dessen an die ODER-Glieder 50 und 51 niedrige
Spannung angelegt wird. Auf diese Weise wird die Schmalbe-
reich-Frequenzsteuerung abgeschaltet. Infolge der über der
10 normalen Frequenz liegenden Frequenz besteht das Bestreben,
daß die Taktfrequenz schnell aus dem breiten Bereich heraus-
tritt. Eine solche Abweichung wird von dem Kurzzeit-Frequenz-
detektor 42b schnell erfaßt, wobei einer der Breitbereich-
Vergleicher 48 und 49 in Abhängigkeit von der Richtung der
15 Abweichung ein geeignetes Steuersignal erzeugt. Das Abschalt-
en der Schmalbereich-Vergleicher 46 und 47 dient dazu, eine
Störung der Breitbereich-Steuerung durch die Schmalbereich-
Steuerung zu verhindern. In manchen Fällen ist es vorteil-
haft, Verzögerungen des Frequenzsteuersignals herbeizuführen,
20 um damit den phasengekoppelten Regelkreis gegenüber plötzli-
chen Frequenzschwankungen zu stabilisieren. Zu diesem Zweck
dient eine Abwandlung des Frequenzvergleichers, die in Fig.
1C gezeigt ist, in der die Teile, die den in Fig. 1B gezeigten
entsprechen, mit den gleichen Bezugszeichen wie in Fig. 1B
25 bezeichnet sind.

Bei diesem abgewandelten Ausführungsbeispiel wird das Aus-
gangssignal des ODER-Glieds 50 an den Dateneingang eines
dreistufigen Schieberegisters 62 angelegt, während das Aus-
gangssignal des ODER-Glieds 51 an den Dateneingang eines
30 dreistufigen Schieberegisters 64 angelegt wird. Ein Schalter
66 ist mit den Schaltern 52 und 53 gekoppelt. Wenn der Schal-
ter 66 für den Betrieb mit normaler Bandgeschwindigkeit auf
den Kontakt a geschaltet ist, ist der niederfrequente Oszil-
lator 45a mit den Schiebeanschlüssen der Schieberegister 62
35 und 64 verbunden. Wenn für einen Betrieb mit hoher Bandge-

1 schwindigkeit der Schalter auf den Kontakt b geschaltet ist,
werden die Schiebeimpulse aus dem hochfrequenten Oszillator
45b angelegt. Die Ausgänge des Schieberegisters 62 sind mit
5 einem NAND-Glied 63 verbunden, während diejenigen des Schie-
beregisters 64 mit einem UND-Glied 65 verbunden sind. Der
Ausgang des NAND-Glieds 63 ist mit einem Verbindungspunkt
zwischen Widerständen 67 und 68 verbunden, während der Aus-
gang des UND-Glieds 65 mit einem Verbindungspunkt zwischen
10 Widerständen 69 und 70 verbunden ist, die mit den Widerstän-
den 67 und 68 zwischen Anschlüsse 71 und 72 für hohe Spannung
in Reihe geschaltet sind, wobei der Verbindungspunkt zwischen
den Widerständen 68 und 69 mit dem Anschluß 41 verbunden ist.

15 Es sei angenommen, daß der Taktgenerator unter Umschalten der
Schalter 52, 53 und 66 auf deren Kontakte a betrieben wird.
Falls die Taktfrequenz innerhalb des schmalen Fangbereichs
liegt, haben die Ausgangssignale der ODER-Glieder 50 und 51
den niedrigen Pegel, so daß daher die Ausgangssignale des
20 NAND-Glieds 63 und des UND-Glieds 65 jeweils den hohen bzw.
niedrigen Pegel haben. Diese Spannungen werden an dem An-
schluß 41 kombiniert, um ein Frequenzsteuersignal mittlerer
Spannung zu erzeugen. Falls die Taktfrequenz die obere Grenze
des schmalen Bereichs übersteigt, nimmt das Ausgangssignal
25 des ODER-Glieds 51 die hohe Spannung an. Falls dieser Zustand
über eine Periode von drei aufeinanderfolgenden Schiebeimpul-
sen mit der niedrigen Bezugsfrequenz fort dauert, nimmt das
Ausgangssignal des UND-Glieds 65 den hohen Pegel an. Da das
Ausgangssignal des NAND-Glieds 63 den hohen Pegel hat, steigt
30 das Frequenzsteuersignal über die mittlere Frequenzsteuer-
spannung an, wodurch die Oszillatorfrequenz verringert wird,
bis sie in den schmalen Fangbereich gelangt. Falls die Takt-
frequenz unter die untere Grenze des schmalen Bereichs ab-
sinkt, wird das Ausgangssignal des ODER-Glieds 50 auf den
35 hohen Spannungspegel geschaltet. Wenn dieser Zustand über
eine Periode von drei aufeinanderfolgenden niederfrequenten

1 Schiebeimpulsen andauert, wird das Ausgangssignal des NAND-
Glieds 63 auf den niedrigen Pegel umgeschaltet. Da das Aus-
gangssignal des ODER-Glieds 51 und damit das Ausgangssignal
5 des UND-Glieds 65 den niedrigen Pegel haben, fällt das Fre-
quenzsteuersignal unter die mittlere Frequenzsteuerspannung
ab, so daß die Taktfrequenz angehoben wird, bis sie zu der
Nennfrequenz zurückkehrt.

10 Unter der Voraussetzung, daß die Schalter 52, 53 und 66 auf
ihre Kontakte a geschaltet sind, ist die Funktionsweise der
Schieberegister 62 und 64 zu der vorstehend beschriebenen
gleichartig, wenn die Taktfrequenz aus dem breiten Bereich
heraustritt.

15 Wenn für Betriebsvorgänge mit hoher Bandgeschwindigkeit der
Schalter 66 zusammen mit den Schaltern 52 und 53 auf den
Kontakt b geschaltet wird, werden die Schieberegister 62 und
64 auf die höhere Frequenz umgeschaltet, so daß die Ausmaße
20 der bei dem Überschreiten des breiten Bereichs entstehenden
Verzögerung verringert werden, um eine schnelle Rückführung
zu erreichen.

25 Die Figuren 4A, 4B und 4C zeigen jeweils abgewandelte Ausführ-
ungsbeispiele, bei denen zum Steuern der Verstärkung der
geschlossenen Phasen- und Frequenzregelschleife veränderbare
monostabile Kippstufen verwendet werden. Die veränderbaren
monostabilen Kippstufen werden bei diesen Ausführungsbeispie-
len dazu verwendet, Frequenzsteuerimpulse mit einer Dauer zu
30 erzeugen, die durch das Einstellen der Perioden der Kippstu-
fen in der Weise bestimmt ist, daß sich ein geeignetes Tast-
verhältnis bzw. Einschaltverhältnis ergibt. Nach Fig. 4A sind
jeweils an die Ausgänge des NOR-Glieds 50 (50 und 61) und des
ODER-Glieds 51 veränderbare monostabile Kippstufen 90 bzw. 91
angeschlossen, während nach Fig. 4B jeweils an die Ausgänge
35 des UND-Glieds 65 und des NAND-Glieds 63 veränderbare mono-

1 stabile Kippstufen 92 und 93 angeschlossen sind. Nach Fig. 4C
sind jeweils an die Ausgänge der Schmalbereich-Vergleicher 46
und 47 veränderbare monostabile Kippstufen 94 bzw. 95 ange-
5 schlossen, während an die Ausgänge der Breitbereich-Verglei-
cher 48 und 49 jeweils veränderbare monostabile Kippstufen 96
bzw. 97 angeschlossen sind.

Die Fig. 5 zeigt ein weiteres Ausführungsbeispiel für den
10 phasengekoppelten Regelkreis, der allgemein mit 100 bezeichnet
ist, wobei die den Teilen nach Fig. 1A entsprechenden Teile
mit den gleichen Bezugszeichen wie in Fig. 1A bezeichnet
sind. Der Regelkreis 100 unterscheidet sich von dem Regel-
kreis 10 darin, daß die Antivalenzglieder 22, 23, 33, 34 und
15 das NAND-Glied 21 nach Fig. 1A durch D Flip-Flops 80, 81 und
84 sowie Inverter 82 und 83 ersetzt sind. Das Ausgangssignal
des Fensterimpulsgenerators 13 wird an den Löscheingang des
Flip-Flops 80 sowie über den Inverter 83 an den Takteingang
des Flip-Flops 81 angelegt. Andererseits wird das Ausgangs-
20 signal des spannungsgesteuerten Oszillators 19 an den Takt-
eingang des Flip-Flops 80, an dessen Dateneingang Spannung
mit dem logischen niedrigen Pegel angelegt wird, sowie über
den Inverter 82 an den Dateneingang und den Löscheingang des
Flip-Flops 81 angelegt. Der Echt-Ausgang Q des Flip-Flops 80
25 und der Komplementär-Ausgang \bar{Q} des Flip-Flops 81 sind an das
Widerstandsnetzwerk aus den Widerständen 24 bis 27 ange-
schlossen. Das Flip-Flop 84 ist mit seinem Dateneingang,
Takteingang und Löscheingang gemeinsam an die Spannungsquelle
für den niedrigen logischen Pegel angeschlossen, während die
30 Ausgänge Q und \bar{Q} an das Widerstandsnetzwerk aus den Wider-
ständen 35 bis 38 angeschlossen sind.

Die Funktionsweise des Regelkreises 100 ist folgende: Wenn
die Taktimpulse P_c mit den Fensterimpulsen P_w gemäß der
35 Darstellung in Fig. 6A phasengekoppelt sind, haben die Aus-
gangssignale der Flip-Flops 80 und 81 jeweils niedrige bzw.

1 hohe Spannung, die zum Erzeugen einer mittleren Spannung M an
dem Verbindungspunkt A zusammengefaßt werden. Wenn die Takt-
impulse in bezug auf die Fensterimpulse voreilen, gibt das
5 Flip-Flop 80 einen positiv gerichteten Impuls 80a (nach Fig.
6B) ab, dessen Vorderflanke mit der Vorderflanke des Taktim-
pulses übereinstimmt und dessen Rückflanke mit der Rückflanke
des Fensterimpulses übereinstimmt, während das Ausgangssignal
des Flip-Flops 81 den hohen Pegel beibehält. Der positiv
10 gerichtete Impuls 80a wird mit der hohen Spannung an dem
Ausgang des Flip-Flops 81 zusammengefaßt, wodurch das Poten-
tial an dem Verbindungspunkt A während der Dauer des Impulses
80a auf einen Pegel über dem mittleren Pegel M ansteigt, so
daß der Oszillator 19 die Phase der Taktimpulse proportional
15 zu dem Ausmaß der Phasenvoreilung verzögert. Falls die Takt-
impulse in bezug auf die Fensterimpulse nacheilen, verbleibt
das Flip-Flop 80 im Zustand niedriger Spannung, während gemäß
Fig. 6C das Flip-Flop 81 einen negativ gerichteten Impuls 81a
erzeugt. Dieser Impuls hat eine Vorderflanke, die mit der
20 Rückflanke des Fensterimpulses P_w übereinstimmt, und eine
Rückflanke, die mit der Vorderflanke des Taktimpulses P_c
übereinstimmt. Dadurch wird das Potential an dem Verbindungs-
punkt A während der Dauer des Impulses 81a auf einen Pegel
unterhalb des mittleren Pegels herabgesetzt, wodurch der
25 Oszillator die Taktimpulsphase proportional zu dem Ausmaß der
Phasenverzögerung vorversetzt.

Die vorstehend beschriebenen Ausführungsbeispiele sind beson-
ders für die Ausbildung in Integrierschaltungstechnologie
30 vorteilhaft.

Ein Taktgenerator für digitale Demodulatoren enthält einen
spannungsgesteuerten Oszillator für das Erzeugen von Taktim-
pulsen, deren Frequenz und Phase durch Fehlersignale aus
35 Frequenz- bzw. Phasenvergleichern gesteuert werden. Der Fre-
quenzvergleicher zählt die Taktimpulse über längere periodi-

1 sche Intervalle, um einen ersten Zählstand zu erzeugen, der
eine Langzeitmessung der momentanen Taktfrequenz darstellt,
sowie in kürzeren periodischen Intervallen, um einen zweiten
5 Zählstand zu erzeugen, der eine Kurzzeitmessung der momenta-
nen Taktfrequenz darstellt. Der erste Zählstand wird mit den
Grenzen eines schmalen Bereichs verglichen, um ein erstes
Frequenzsteuersignal zu erzeugen, während der zweite Zähl-
stand mit den Grenzen eines breiteren Bereichs verglichen
10 wird, um ein zweites Frequenzsteuersignal zu erzeugen. Wenn
die Taktfrequenz aus dem breiten Bereich austritt, bewirkt
die Kurzzeit-Taktfrequenzerfassung, daß zu einem Zeitpunkt
vor dem Zeitpunkt des Erzeugens des ersten Frequenzsteuersig-
nals durch die Langzeit-Taktfrequenzerfassung das zweite
15 Frequenzsteuersignal erzeugt wird, so daß für ein nachfolgen-
des Zurückführen durch die Langzeit-Taktfrequenzerfassung in
den schmalen Bereich die Taktfrequenz schnell in den breiten
Bereich gebracht wird.

20

25

30

35

-18-

- Leerseite -

3615952

Nummer:

Int. Cl.4:

Anmeldetag:

Offenlegungstag:

36 15 952

H 04 L 25/40

12. Mai 1986

13. November 1986

FIG. 1A

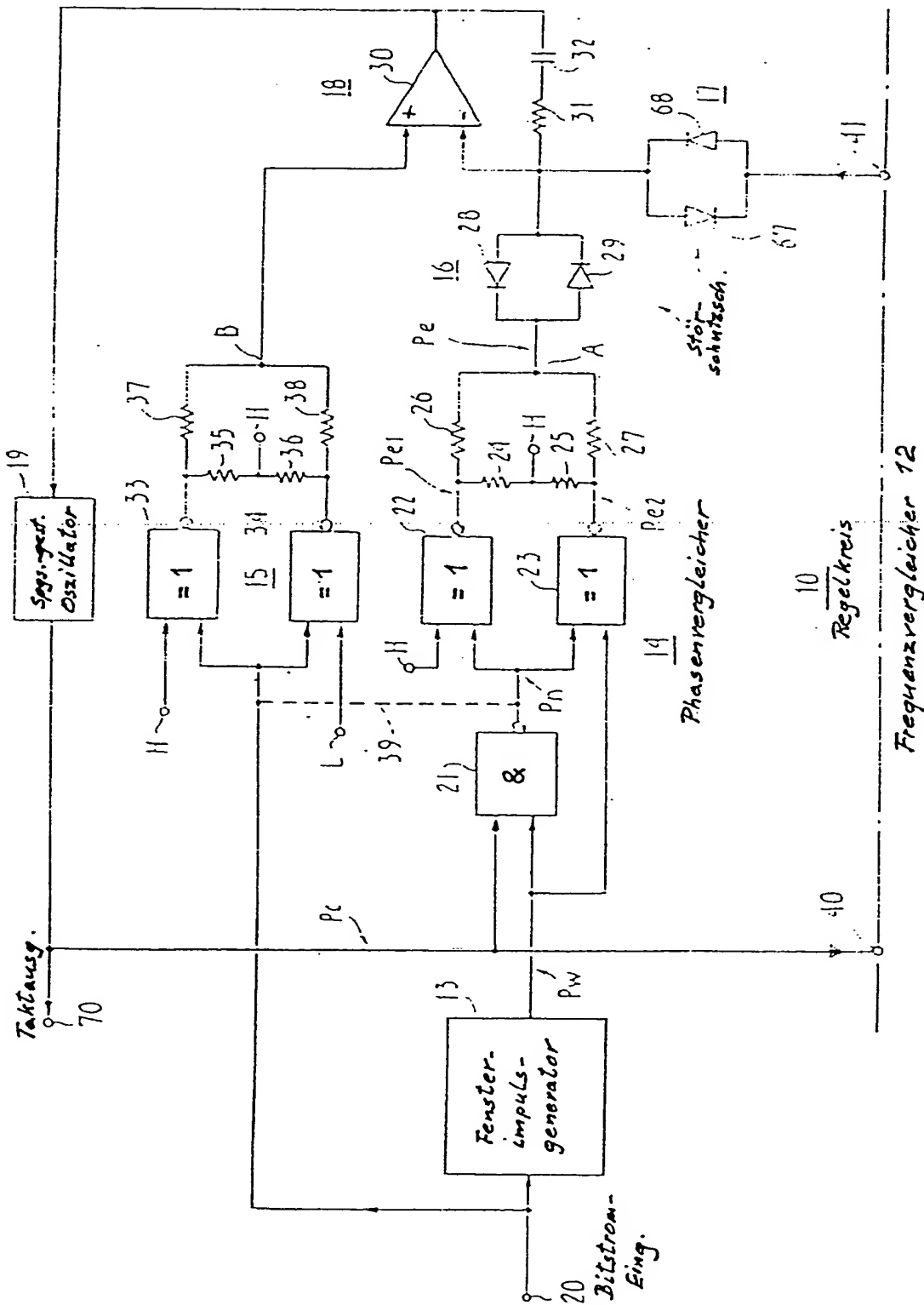


FIG. 1B

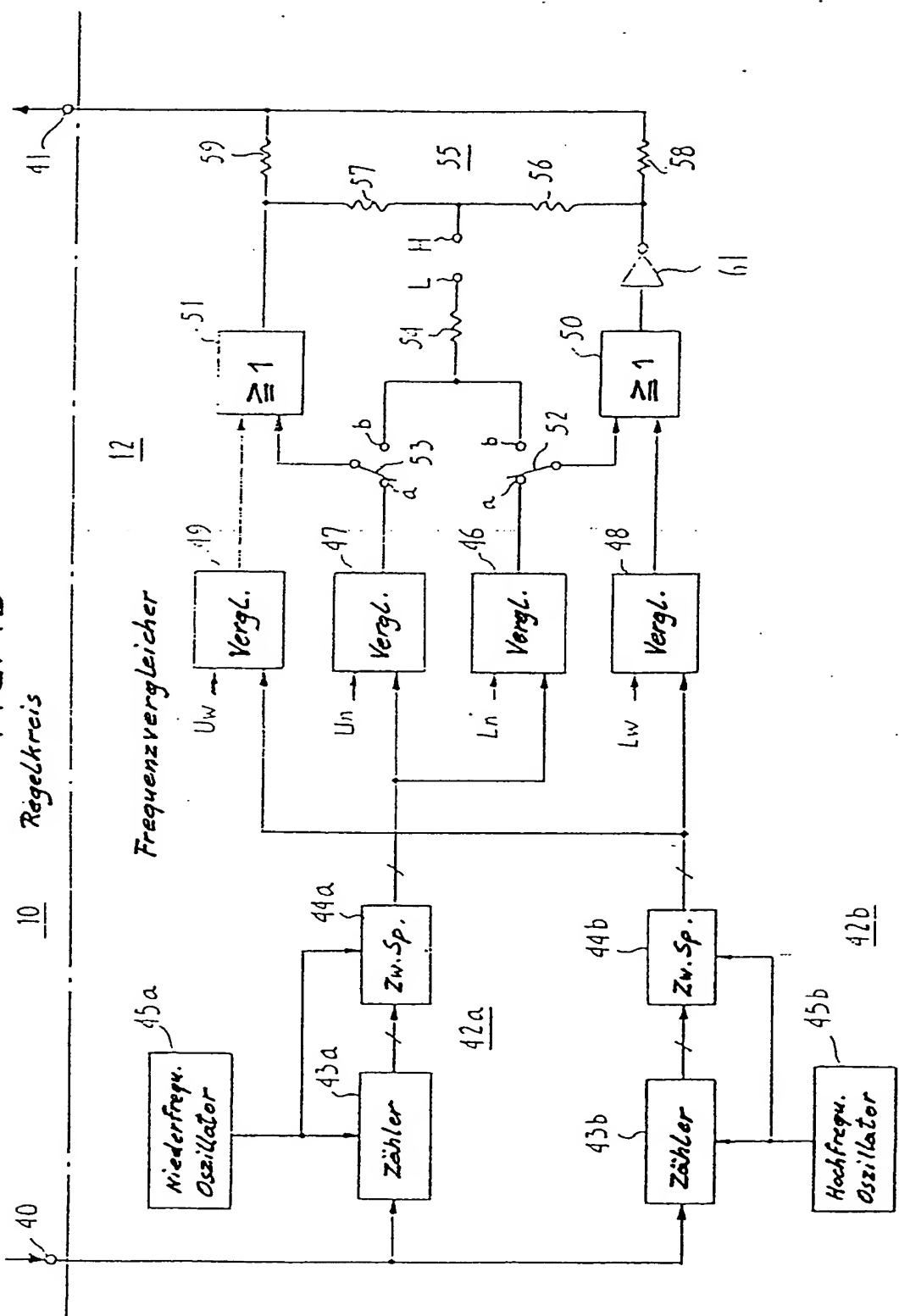


FIG. 1C

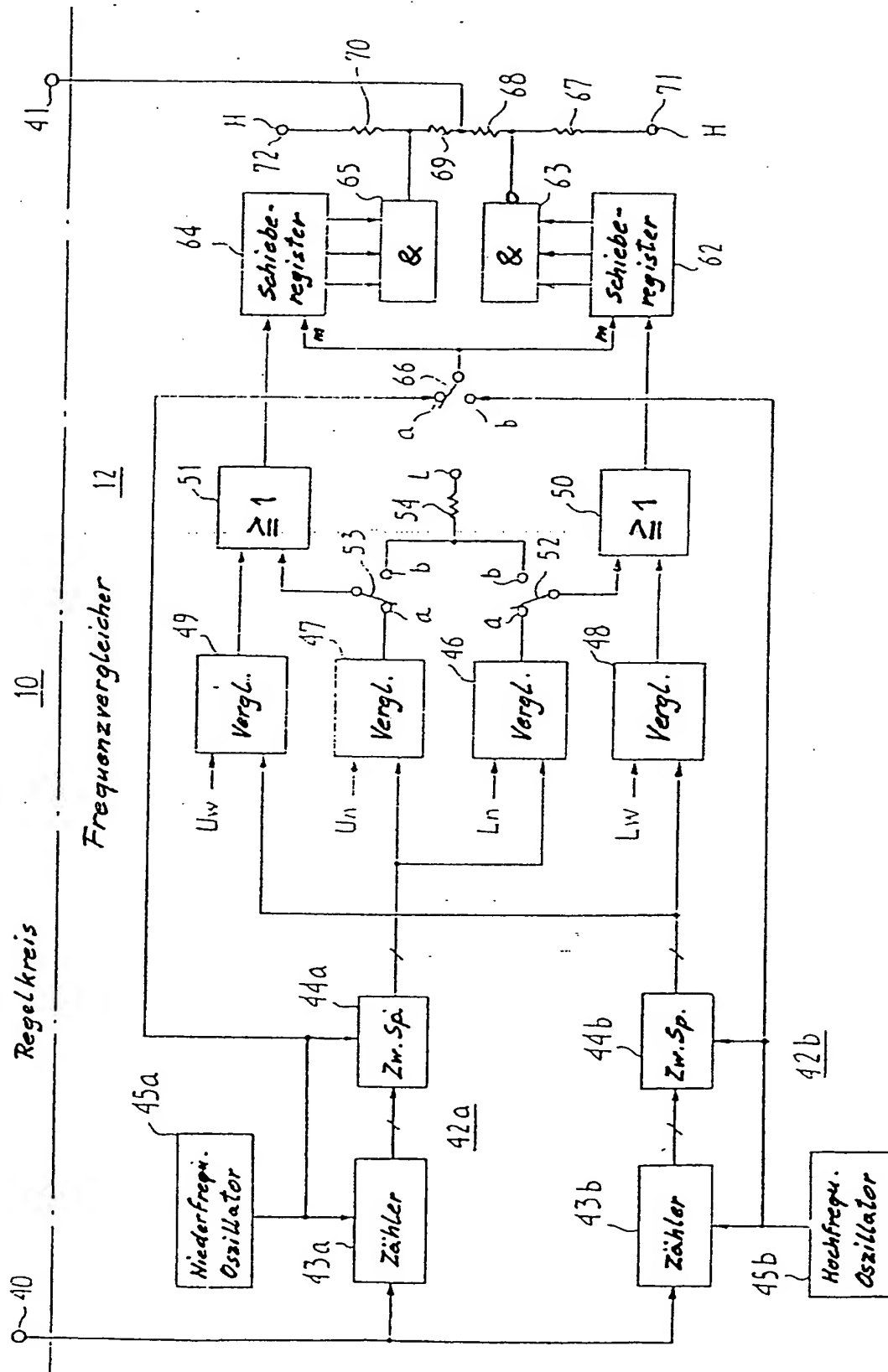


FIG. 2

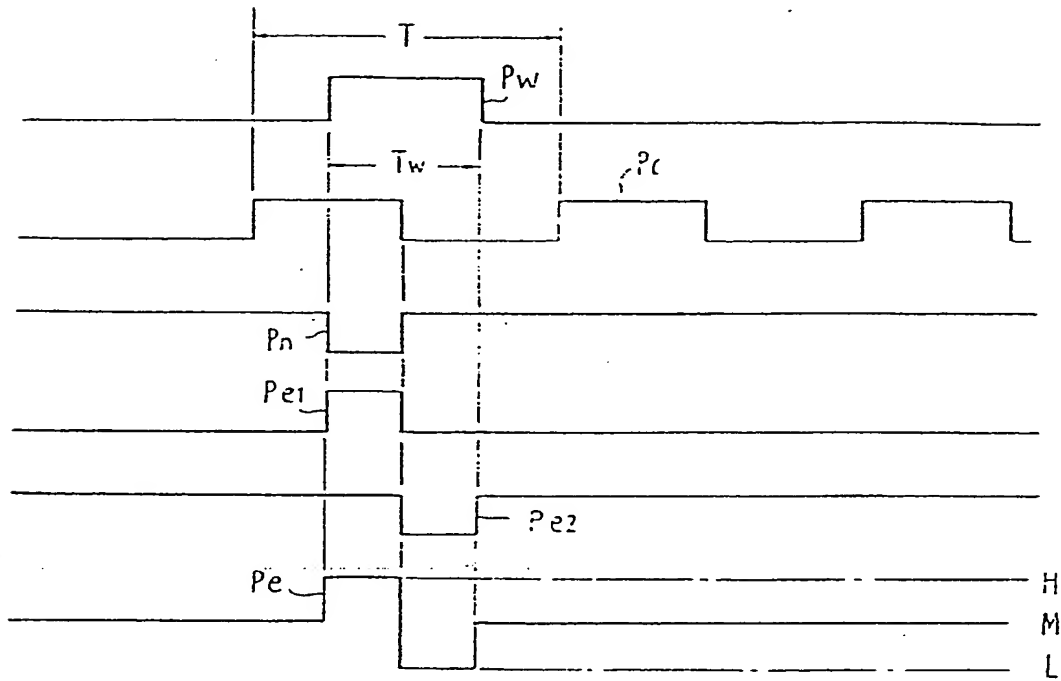


FIG. 3

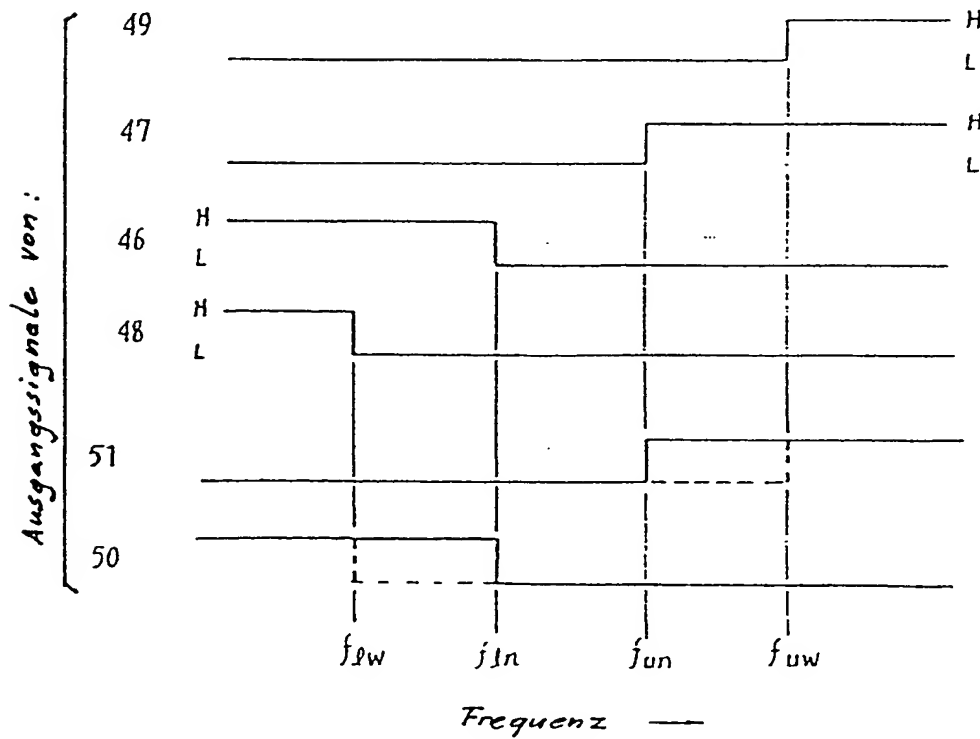


FIG. 4A

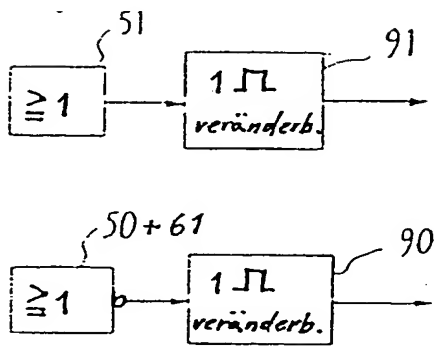


FIG. 4B

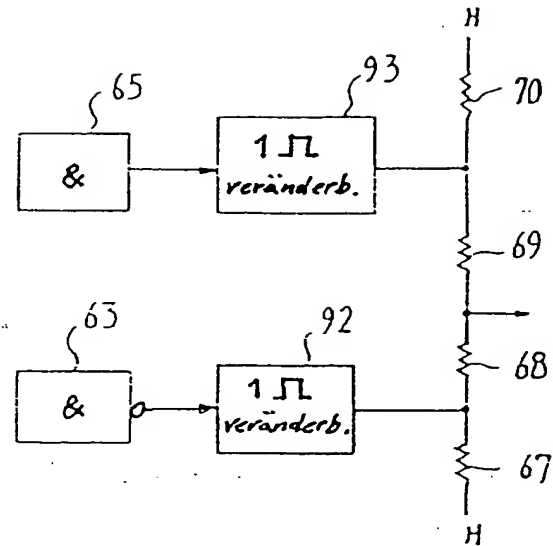


FIG. 4C

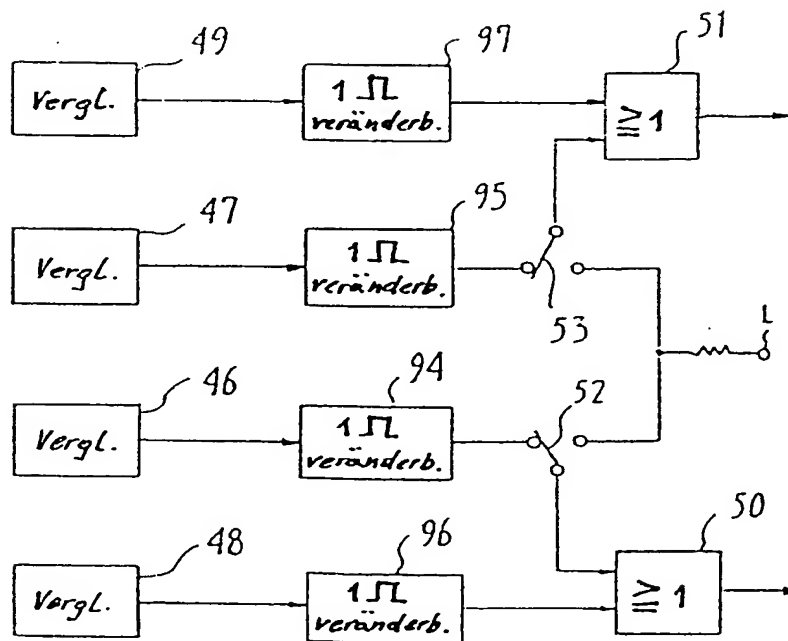


FIG. 5

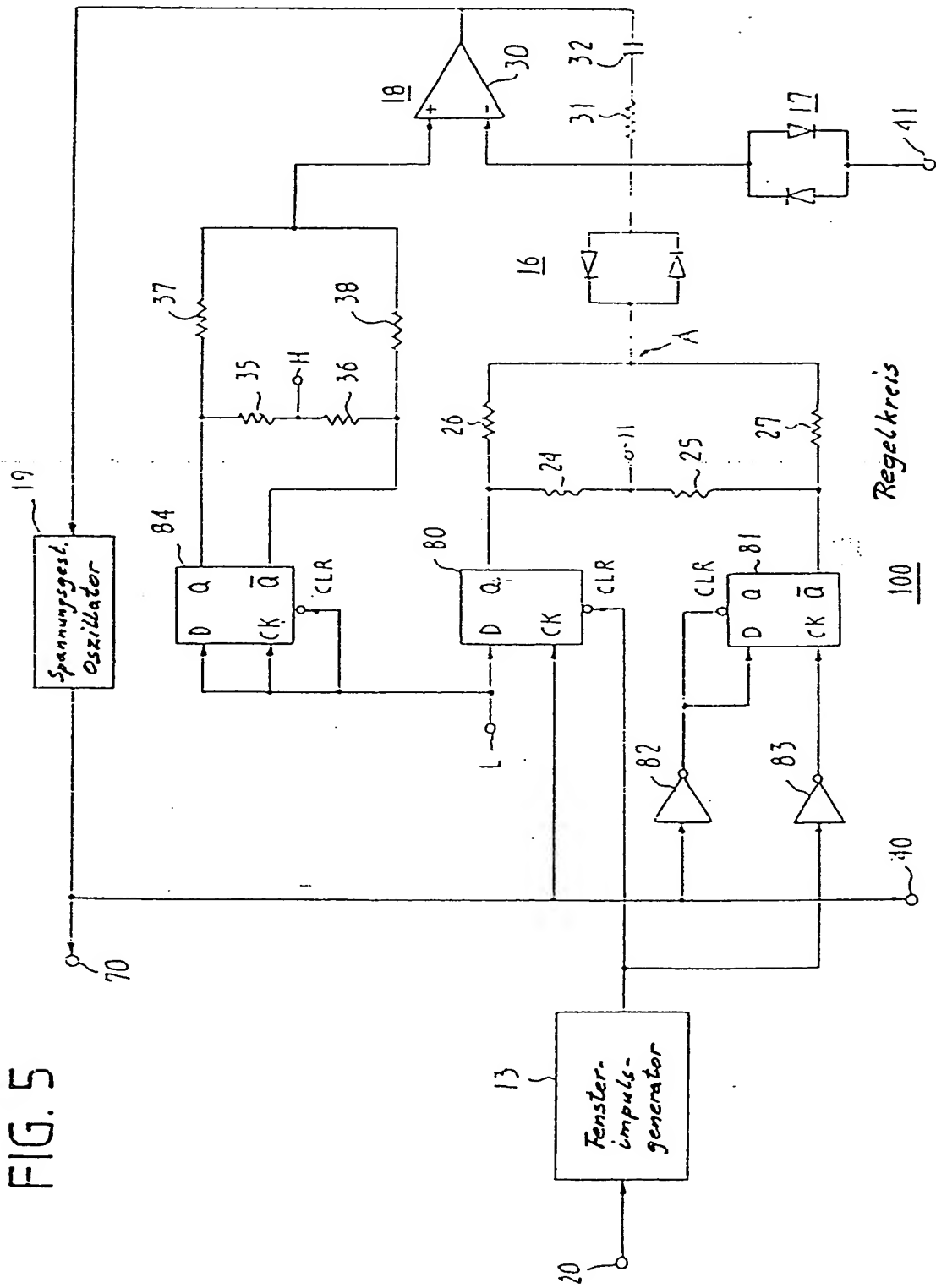


FIG. 6A

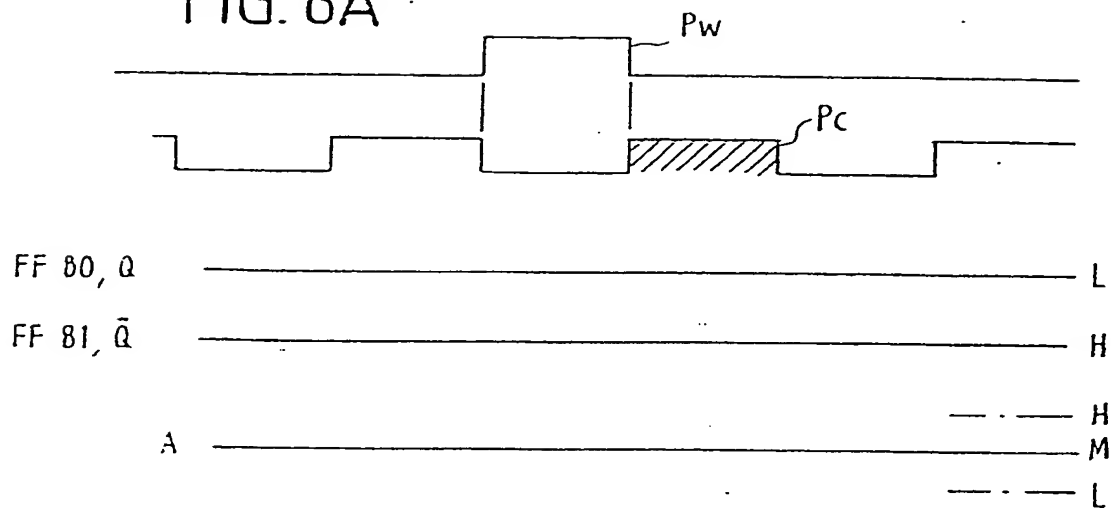


FIG. 6B

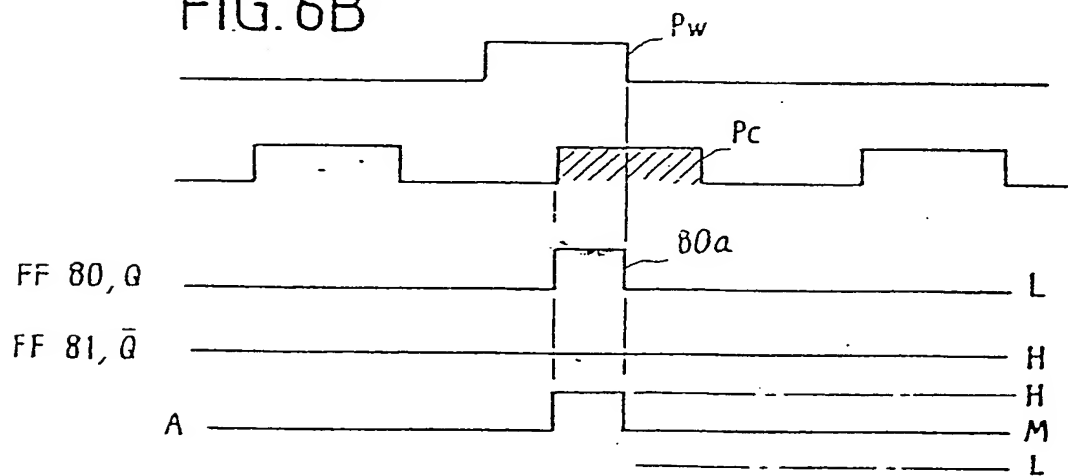
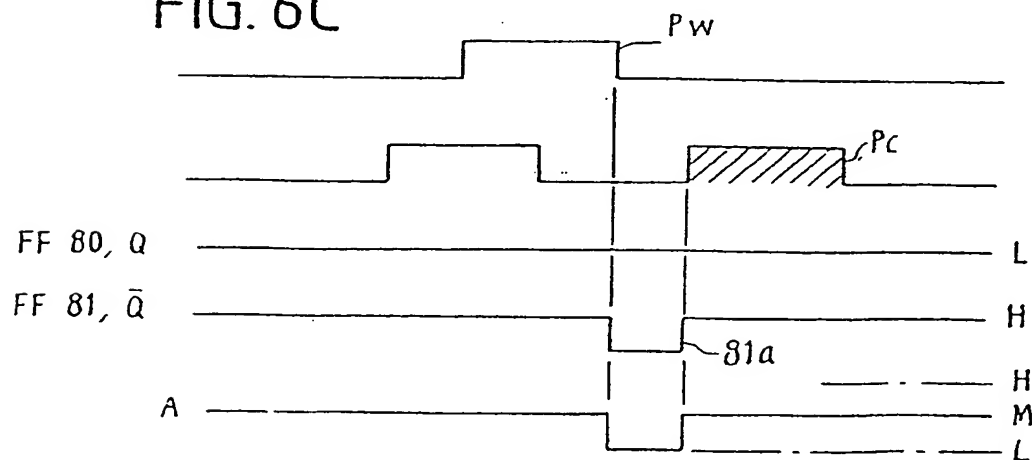


FIG. 6C



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.